

Grundlagen der Informatik für Ingenieure

Background:

3. Grundlagen der Rechnerarchitektur - Teil 2

- 3.5 Microprozessortechnologien
- 3.6 Beispiel: AMD-Opteron-Prozessor
- 3.7 Leistungsmaße
- 3.8 Hierarchische Speichertechniken

3.5 Microprocessor-Technologien

- ◆ **CISC** - Complex Instruction Set Computer (CPU)
 - Übertragung konventioneller CPU-Architekturen der 70er-Jahre auf Microchip-Technologie; microprogrammierbar; Komplexe (und überkommene) Strukturen führten u.a. zu Problemen bei der Steigerung der Taktraten.
 - Dieser Typ von Prozessoren war die Basis der Betrachtungen in den Vorkapiteln; wg. Einfachheit.
- ◆ **RISC** - Reduced Instruction Set Computer (CPU)
 - Neuansatz im Prozessorchipdesign mit den Zielen:
 - Strukturen müssen geeignet sein für hohe Taktraten
 - Ausführung eines Befehls pro Takt
 - Komplexere Befehle werden "simuliert"

3.5 Microprocessor-Technologien

◆ Die einsetzende technologischen Entwicklungen wie:

- Beherrschung des Produktionsprozesses mit
 - immer höhere Integrationsdichten und
 - höheren Taktraten

führte dazu,

- dass auch CISC - Prozessoren von der RISC-Technologie profitierten
- und andererseits RISC-Prozessoren immer weniger wirklich nur über einen “reduzierten” Befehlssatz verfügen.

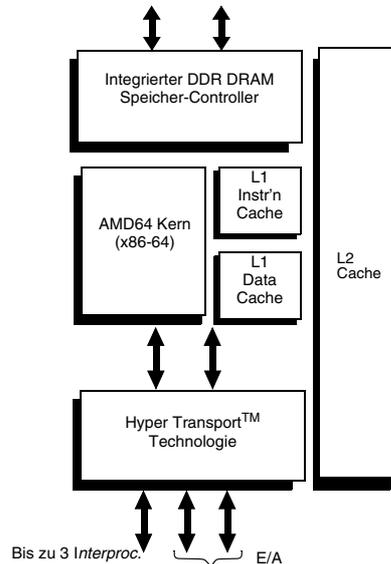
3.5 Microprocessor-Technologien

◆ Insbesondere die **RISC**-Prozessoren entwickelten sich zu **SUPERSCALAR**-Prozessoren:

- **Functional Units** werden mehrfach auf einem Chip realisiert.
- Damit entsteht die potentielle Fähigkeit der Prozessoren, mehrere Befehle **gleichzeitig** abzuarbeiten.
- Probleme, die dabei gelöst werden müssen:
 - Wie findet der Compiler genügend geeignete Befehlssequenzen zur parallelen Abarbeitung.

3.6 Beispiel AMD-Opteron-Prozessor

- ◆ 64-Bit Prozessor; z. Zt. 2,4 GHz; Technologie .13 micron/.09 micron SOI (= 90 Nanometer "Silicon on Isulator"-Technologie); L2 Cache 1 MByte
 - SOI-Technologie - geringerer Energieaufwand (z. Zt. 55 - 89 W); pot. höhere erreichbare Taktraten



3.6 Beispiel AMD-Opteron-Prozessor

- ◆ Direkte Verbindung CPU - (lokalen) Speicher,
 - dadurch verbessertes Skalierungsverhalten bei Mehrprozessorkonfiguration; aufwendige Cache-Kohärenz-HW; 3 Links pro Prozessor; pot. 6,4 GByte/s Speicherbandbreite
 - Trennung zwischen Speicherbus und E/A-Bus
- ◆ Einige Technologiedaten
 - weltweite Fertigung nur bei AMD/Dresden
 - 106000 Transistoren
 - 1 Transistorebene, 7 Metallebenen (3 km "Verdrahtung")
 - ca. 500 Prozessschritte; Durchlaufzeit ca. 3 Monate; 20.000 Wafer/Monat; demnächst Fertigung auf 30 cm Waferbasis

3.7 Leistungsmaße

- (1) Taktraten (M(G)Hz:
Nur geeignet für den Vergleich gleicher Architekturen.
 - (2) M(G)IPS:
Mega (Giga)-Instructions per Second
Die theoretisch erreichbare maximale Instruktionsanzahl die sich aus der "Taktrate x Anzahl der theor. möglichen Instruktionen pro Takt" berechnet.
 - (3) M(G)FLOPS
Mega (Giga)-Floating-Point-Instructions per Second
Die theoretisch erreichbare maximale Instruktionsanzahl die sich aus der "Taktrate x Anzahl der theor. möglichen Instruktionen pro Takt" berechnet.
- ◆ **Berechnungsgrundlage:** Befehle und Operanden befinden sich im Cache, die "Bandbreite" zum Speicher wird also nicht berücksichtigt.

3.7 Leistungsmaße

- (4) SpecMarks:
Herstellerunabhängige Leistungsangabe auf der Basis eines standardisierten Benchmarks, der auch die Speicherbandbreite und die Fähigkeit des Compilers einschließt, einen effizienten Code zu erzeugen.
- (5) LINPACK; LAPACK:
Benchmarks zur Beurteilung insbesondere der numerischen Leistungsfähigkeit eines Rechensystems
- (6) weitere anwendungsspezifische Benchmarks z. B. zur Beurteilung von
 - Netzwerkleistung: LADDIS (NFS),
 - Datenbanksystemen: TPC (Transaktionsleistung)
 - oder Grafikleistungen: Xmark, OPEN GL

3.8 Hierarchische Speichertechniken

◆ Leistungssteigerung in den vergangenen 25 Jahren¹

Verhältnis	2. Hälfte '70er	Mitte '00
Ips: ca. 1 : 4.000	1 Mips	4 Gips
Flops: ca. 1: 20.000	200 kFlops	4 GFlops
Speicherzyklen: ca. 1: 250	750 ns	3 ns
Plattenspeicher: ca. 1 : 10	40 ms	3 - 5 ms

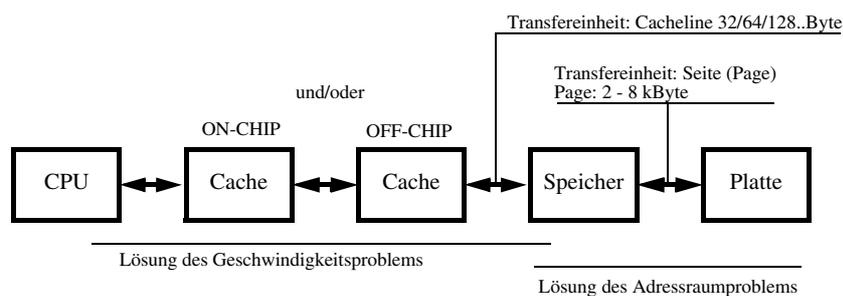
Die Zahlen sind jeweils "Größenordnungen"!

◆ Technologische Überwindung des Problems verschieden schneller Hardwarekomponenten:

- verschränkte Speicherbänke, Interleaving, Pipelining, Burstmode, etc
- Verbreiterung der Zugriffswege; 2, 4, 8, 16-fach
- Einführung von extrem schnellen (aber teureren) "transparenten" Cachespeichern

1. ohne Betrachtung der sog. Mainframes und Vektorrechner

3.8 Hierarchische Speichertechniken



◆ Lösungsprinzipien:

- Entkoppeln von Funktionseinheiten verschiedener Grundgeschwindigkeiten durch Puffer und Anstoß paralleler (vorausschauender) Hintergrundarbeit (Prefetch, Look Ahead);
- Hoffen auf datenlokales Verhalten des Programms.