

Ausgewählte Kapitel eingebetteter Systeme

Der Blackfin-Prozessor und andere DSPs

Rudi Pfister

31.05.2006

Inhaltsverzeichnis

1	Datenverarbeitung vs. Berechnungen	3
2	Eigenschaften eines DSPs	5
2.1	MAC-Operationen	6
2.2	Multiple Verarbeitungseinheiten	6
2.3	Speicherorganisation	6
2.4	Adressierungsarten	7
2.5	Schleifenbefehle	7
2.6	Kommunikation	7
2.7	Beispiel: Der FIR-Filter	7
2.7.1	General-Purpose-Prozessor	7
2.7.2	Digitaler Signal Prozessor	8
3	Der Blackfin-Prozessor	9
3.1	Einführung	9
3.2	Der Prozessorkern	10
3.2.1	Register	10
3.2.2	Data Arithmetic Unit	11
3.2.3	Address Arithmetic Unit	11
3.2.4	Program Sequencer Unit	12
3.3	Speicher	12
3.3.1	Interner Speicher	12
3.3.2	Externer Speicher	13
3.3.3	I/O Speicher	13
3.3.4	MMU	13
3.4	Peripherie	13
3.5	System-Kontroll-Block	14
3.6	Leistungsvergleiche	15
4	Fazit	16
5	Literatur	16

1 Datenverarbeitung vs. Berechnungen

Die heutigen Prozessoren haben eine lange Entwicklung hinter sich und sind sehr vielseitig einsetzbar. Jedoch haben sich im Laufe der Zeit zwei große Aufgabengebiete herauskristallisiert. Zum einen die Datenverarbeitung und zum andern die Ausführung von mathematischen Berechnungen. Diese stellen an die Prozessoren recht unterschiedlich Anforderungen.

	Datenverarbeitung	mathematische Berechnungen
Typische Anwendung	Textverarbeitung, Datenbankverwaltung, Betriebssysteme	Digitale Signalverarbeitung, Kontrolle von Bewegungen, Simulationen
hauptsächliche Operationen	Daten verschieben ($A \rightarrow B$) Werte prüfen (<i>If A = B then...</i>)	Addition ($A + B = C$) Multiplikation ($A \times B = C$)

Die Tabelle stellt die wichtigsten Unterschiede zwischen den beiden Aufgabengebieten dar. Datenverarbeitung erfordert meist das Speichern, Suchen und Sortieren von Daten. Betrachtet man zum Beispiel ein Textverarbeitungsprogramm, dessen Hauptaufgaben bestehen darin Eingaben der Benutzer entgegenzunehmen und diese - meist formatiert - auf dem Bildschirm darzustellen. Der fertige Text wird dann auf Festplatte gespeichert und oft auch ausgedruckt. Diese Aufgaben erfordern hauptsächlich das Verschieben von Daten von einer Speicherstelle zu einer anderen und das Vergleichen von Daten. Bei mathematischen Berechnungen sind ein Großteil der Operationen Additionen und Multiplikationen. Ein Beispiel ist der digitale FIR-Filter (Finite Impulse Response), bei dem es sich um eine typische Anwendung der digitalen Signalverarbeitung handelt. Er berechnet aus den N Samples x_i und aus den Filterkoeffizienten c_i den Ausgangswert y_n . Die Filterkoeffizienten c_i beeinflussen die Eigenschaften des Filters. Der aktuelle Ausgabewert y_n berechnet sich wie folgt:

$$y_n = \sum_{k=1}^N c_k x_{N-k+1}$$

Für die Berechnung eines Ausgangswertes sind somit eine große Anzahl von Additionen und Multiplikationen nötig. Ausserdem muss das aktuelle Sample zwischengespeichert werden, da für eine Berechnung die letzten N Samples nötig sind. Weiterhin muss die Berechnung des Ausgabewertes abgeschlossen sein, bevor ein neues Sample am Eingang abgegriffen wird. Somit ist klar, dass die Additionen und Multiplikationen, als auch die Zugriffe auf die gespeicherten Samples schnell erfolgen müssen.

Fast alle Mikroprozessoren können beide Aufgaben bewältigen, jedoch ist es schwer und teuer einen Prozessor zu bauen, der für beides optimiert ist. Zum

einen führt dies zu technischen Problemen und Mehraufwand beim Hardware-design, wie z.B. die Größe des Instruktionssatzes oder etwa der Behandlung von Interrupts und zum anderen beeinflußt es auch den Verkaufspreis des Prozessors. Dies hatte zur Folge, dass die traditionellen Mikrocontroller für Datenverarbeitung optimiert wurden. Die Prozssoren, die für mathematische Berechnungen, wie sie bei der digitalen Signalverarbeitung anfallen, optimiert wurden nennt man *Digitale Signal Prozessoren* oder kurz DSPs.

2 Eigenschaften eines DSPs

Da die DSPs für die speziellen mathematischen Berechnungen, die bei der digitalen Signalverarbeitung anfallen optimiert wurden, unterscheiden sie sich im Aufbau etwas von den traditionellen Mikrocontrollern. Das folgende Blockschaltbild zeigt die wichtigsten Eigenschaften eines solchen DSPs, die in den darauf folgenden Abschnitten einzeln erläutert werden:

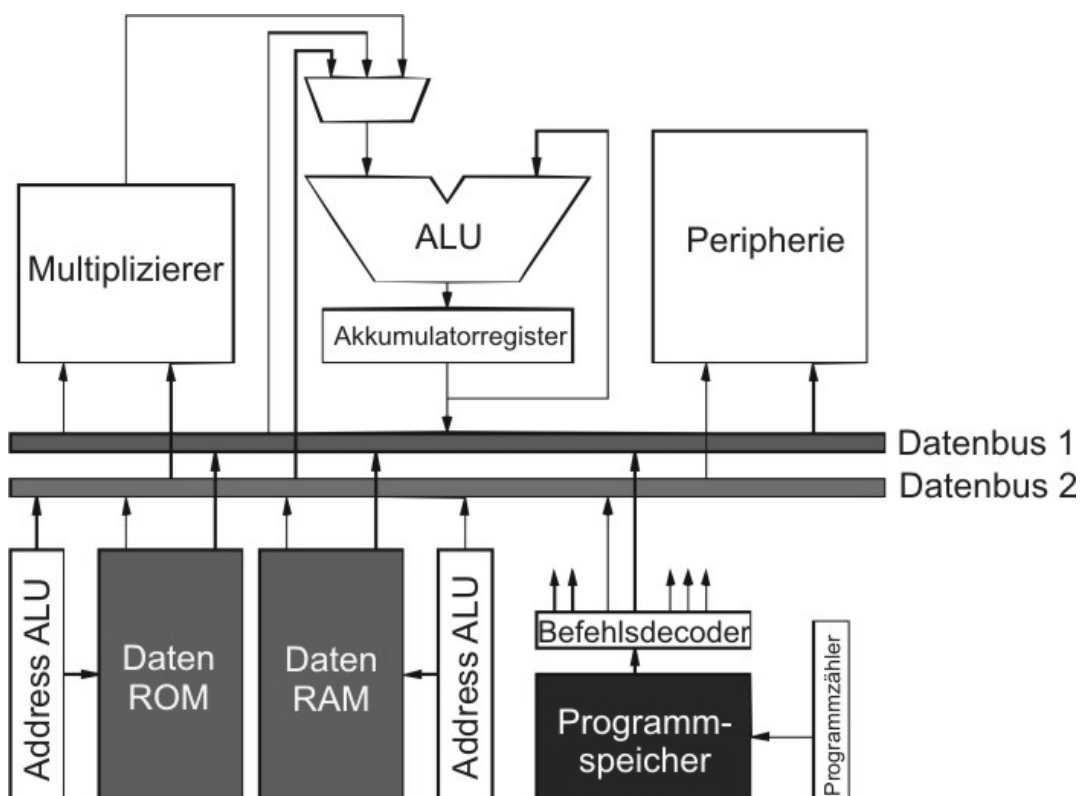


Abbildung 1: Vereinfachtes Schaltbild eines Signalprozessors

DSPs verfügen meist über mehrere interne Busse (Bildmitte) und getrennte Speicher für das Programm (unten rechts) und die Daten (unten links) - diese können auch oft noch weiter unterteilt sein und besitzen oft eigene ALUs zur Berechnung von Adressen, sog. *AGUs*. Der ALU ist ein Multiplizierer vor- und ein Akkumulatorregister nachgeschaltet, um die sog. *MAC-Operationen* zu realisieren (oben Mitte).

2.1 MAC-Operationen

Die Multiply-Accumulate-Operation (MAC) erlaubt die schnelle Berechnung von Vektorprodukten, wie es z.B. für Filterfunktionen benötigt wird, d.h. die Operation $A' = A + B \times C$ kann besonders schnell ausgeführt werden. Es werden dabei vom Multiplizierer Produkte berechnet, die dann fortlaufend von der ALU aufsummiert werden. Da bei Filterfunktionen oft eine große Anzahl von Produkten aufsummiert wird, ist bei vielen DSPs das Akkumulatorregister größer ausgelegt, um einen Überlauf bei typischen Anwendungsfällen auszuschliessen.

2.2 Multiple Verarbeitungseinheiten

Bei der Signalverarbeitung können z.B. durch hohe Abtastraten grosse Datenmengen anfallen, die in Echtzeit verarbeitet werden müssen. Dies wird durch eine weitere ALU und durch einen separaten Shifter erreicht, auch kann die MAC-Einheit in mehrfacher Ausführung vorkommen.

2.3 Speicherorganisation

Zum Ausführen einer Operation sind mehrere Speicherzugriffe nötig. Es muss der Befehl geholt werden und die dazugehörigen Operanden müssen geladen werden. Um eine hohe Verarbeitungsgeschwindigkeit zu gewährleisten ist ein DSP in der Lage, mehrere Speicherzugriffe in einem Instruktionszyklus gleichzeitig auszuführen. Daten und Befehle werden nicht mehr sequentiell gelesen, sondern parallel zum Holen der für einen Befehl benötigten Operanden wird schon der nächste Befehl geholt oder es wird noch das Ergebnis der letzten Operation zurückgeschrieben. So werden z.B. während der Prozessor die MAC-Operation ausführt, parallel dazu schon der Messwert und der Koeffizient für die nächste Berechnung geholt. Um dies zu ermöglichen, haben viele DSPs mehrere on-chip Busse, multi-ported on-chip Speicher und oft auch mehrere unabhängige Speicherbänke. Diese Art der Speicherorganisation, bei der es getrennte Speicherbereiche und separate Busse für Programmcode und Daten gibt, nennt man *Harvard-Architektur*. Im Gegensatz dazu gibt es bei der *Von-Neumann-Architektur*, die in vielen herkömmlichen Mikroprozessoren verwendet wird nur einen Speicher und einen Bus für Programmcode und Daten. Eine Erweiterung der *Harvard-Architektur* ist die sogenannte *Super-Harvard-Architektur*, sie hat sogar mehrere getrennte Speicherbereiche für Daten. Sie wurde Anfang der 1990er Jahre von Analog Devices mit den SHARC-Prozessoren eingeführt.

2.4 Adressierungsarten

Um die Zugriffe auf den Speicher zu beschleunigen und um die ALU zu entlasten werden auf DSPs extra Recheneinheiten für die Berechnung von Speicheradressen eingesetzt, sogenannte *Address Generation Units* AGUs. So können, während die ALU mit arithmetischen Operationen beschäftigt ist, bereits die Adressen von Operanden für folgende Berechnungen ermittelt werden. Da die AGUs nur Adressen berechnen, sind sie ausschließlich für Ganzzahlarithmetik ausgelegt. Bei vielen DSP-Anwendungen weisen die Speicherzugriffe vorhersagbare Muster auf, so werden z.B. beim FIR-Filter die Filterkoeffizienten immer wieder zyklisch gelesen, deshalb unterstützen die AGUs besondere Adressierungsverfahren, wie z.B. die *Register-Indirekte* Adressierung mit nachträglicher Inkrementierung oder das *circular buffering*.

2.5 Schleifenbefehle

Da viele Algorithmen, die auf DSPs ausgeführt werden, in Schleifen ablaufen, haben diese Prozessoren oft besondere Schleifenbefehle. Es gibt sogenannte *Single- und Multiinstruction Hardware Loops*, d.h. es können einzelne Operationen oder ganze Anweisungsblöcke wiederholt werden. Diese Schleifen werden von der Hardware kontrolliert und der Programmierer muss sich weder um die Inkrementierung des Schleifenzählers noch um die Abbruchbedingung der Schleife kümmern.

2.6 Kommunikation

Die meisten DSPs haben eine oder mehrere serielle oder parallel I/O-Schnittstellen und unterstützen *Direct Memory Access*, um Datentransporte mit geringer Belastung des restlichen Prozessors zu gewährleisten.

2.7 Beispiel: Der FIR-Filter

Da nun die Besonderheiten eines DSPs erläutert wurden, soll hier kurz gezeigt werden, wie sich die spezifischen Merkmale eines Signalprozessors bei der Assemblerprogrammierung bemerkbar machen. Nachfolgend Code der zentralen Programmschleife des FIR-Filters bei einem normalen Mikrocontroller und bei einem DSP (jeweils Pseudocode):

2.7.1 General-Purpose-Prozessor

```
loop:
    mov     *r0,x0    // Holen des Samples
```

```

mov    *r1,y0    // Holen des Filterkoeffizienten
mult   x0,y0,a   // Diese multiplizieren und Ergebnis in a speichern
add    a,b       // Ergebnis zur Summe addieren
inc    r0        // Adresse des nächsten Samples
inc    r1        // Adresse des nächsten Koeffizienten
dec    ctr       // Schleifenzähler erniedrigen
tst    ctr       // Testen auf Schleifenende
jnz    loop      // wenn nicht, zurückspringen

```

Aufwendig ist hier die Schleifensteuerung, `dec`, `tst` und `jnz` werden explizit aufgerufen und verbrauchen somit Ausführungszeit. Auch muss sich das Programm um die Inkrementierung der Speicheradressen der Koeffizienten und Samples kümmern.

2.7.2 Digitaler Signal Prozessor

```

move   #Xaddr,r0 // Anfangsadresse der Samples
move   #Yaddr,r1 // Anfangsadresse der Filterkoeffizienten
rep    #Ntaps    // Schleife initialisieren und
                // MAC-Anweisung in der Schleife ausführen
mac    x0,y0,b x:(r0)+,x0 y:(r1)+,y0

```

Es ist deutlich weniger Code nötig, da die Adressierung des Speichers und die Schleifenkontrolle direkt von der Hardware erledigt wird. Das Laden der Operanden, das Berechnen der Produkte und deren Aufsummierung erledigt die MAC-Anweisung. Diese kann, aufgrund der mehrfach vorhandenen Funktionseinheiten, sehr sehr schnell ausgeführt werden. Während der Multiplizierer und die ALU mit der Berechnung des Produktes und der Summe beschäftigt sind, berechnen die AGUs bereits die Adressen des nächsten Samples und des nächsten Filterkoeffizienten. Das Laden des Samples und des Koeffizienten erfolgt dann gleichzeitig, da mehrere Speicher und Busse vorhanden sind.

3 Der Blackfin-Prozessor

3.1 Einführung

Die ADSP-BF5xx (Blackfin) sind eine Familie von 16-bit Festpunkt-Prozessoren von Analog Devices. Sie verbinden die typischen Eigenschaften stromsparender DSPs mit denen klassischer Prozessoren, wie z.B. Speicherschutz. Die Blackfins sind für Anwendungsbereiche, in denen es auf den Stromverbrauch ankommt, in denen neben der DSP-Funktionalität auch die Eigenschaften von MCUs gebraucht werden oder in denen Rechenintensive Aufgaben anfallen, ausgelegt. Beispiele sind Handys, Automobiltechnik oder Videoanwendungen. Der Blackfin basiert auf der *Micro Signal Architecture* (MSA), die gemeinsam von Analog Devices und Intel entwickelt wurde. Die maximale Taktrate des Prozessorkerns beträgt bis zu 750MHz und umfasst einen internen Dual-Port-RAM-Speicher, welcher sich auch als Cache-Speicher verwenden lässt. Das Rechenwerk (ALU) besteht aus zwei getrennten, parallelen Einheiten mit zwei 40 Bit breiten Akkumulatoren. Darüber hinaus bietet der Blackfin die Möglichkeit zu sogenannten Hardwareschleifen, womit Schleifen ohne Rechenzeit für den Schleifenzähler realisiert werden können. Darüber hinaus umfasst die Architektur umfangreiche Ein- und Ausgabeschnittstellen wie synchrone serielle Ports, sogenannte SPORTs für den direkten Anschluss von Analog-Digital- und Digital-Analog-Umsetzern, einen UART, eine Echtzeituhr, einen SDRAM-Controller und diverse Ein- und Ausgabeanschlüsse. Die Blackfin-Prozessor-Familie besteht momentan aus 8 Mitgliedern, die sich durch Taktrate, Speichergrösse, externe Speicherbusbreite und in der Ausstattung mit Peripherie-Geräten unterscheiden. Beim ADSP-BF561 handelt es sich sogar um einen Dual-Core-Prozessor.

Feature	ADSP-BF535	ADSP-BF531	ADSP-BF532	ADSP-BF533	ADSP-BF561	ADSP-BF536	ADSP-BF537	ADSP-BF534
Max. Clock Speed (MHz)	350	400	400	750	600	400	600	500
Memory (Kbytes)	308	52	84	148	328	100	132	132
External Memory (Bus)	32-bit	16-bit	16-bit	16-bit	32-bit	16-bit	16-bit	16-bit
Parallel Peripheral Interface	No	Yes	Yes	Yes	Yes (2)	Yes	Yes	Yes

Abbildung 2: Übersicht über einige Merkmale der verschiedenen Blackfin-Prozessoren, Teil 1

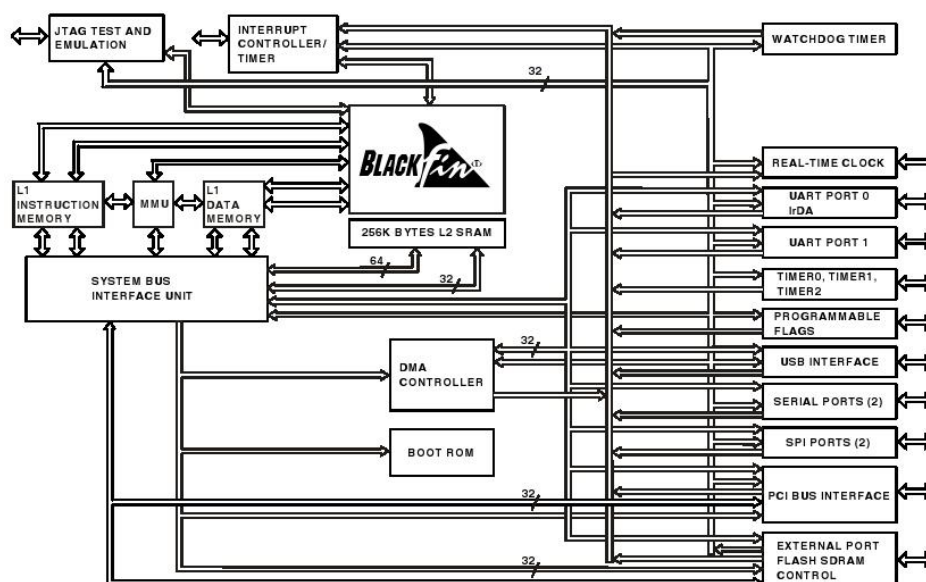


Abbildung 3: Blockdiagramm des ADSP-BF535

3.2 Der Prozessorkern

Der Blackfin besteht aus einem 16-/32-bit MSA-Prozessor mit einer 10-stufigen RISC MCU/DSP Pipeline. Die *Instruction Set Architecture* (ISA) umfasst 16- und 32-bit Befehle, sowie einige 8-bit Befehle für Videooperationen. Diese können wiederum zu 64-bit *multi-issue* Instruktionen kombiniert werden, was mit dem *Very Long Instruction Word* mancher Prozessoren zu vergleichen ist. Ausserdem unterstützt er SIMD (Single Instruction Multiple Data, d.h. die gleiche Operation kann gleichzeitig auf mehrere Daten angewandt werden), um beschleunigte Video- und Multimediaverarbeitung zu gewährleisten.

3.2.1 Register

Der Prozessorkern beinhaltet eine General-Purpose-Registerbank mit 8 32-bit Registern zum freien Gebrauch. Es unterstützt 8-, 16- oder 32-bit signed oder unsigned Integer und 16- oder 32-bit signed Festpunktzahlen. Diese multiportet Registerbank kann auch als 16 16-bit Registern genutzt werden. Die

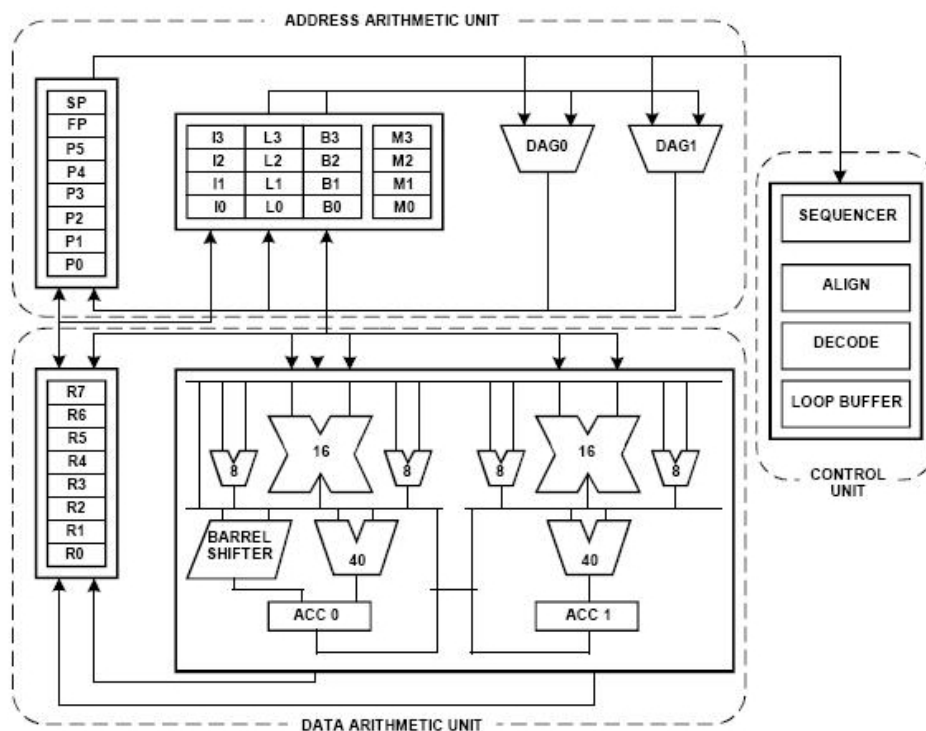


Abbildung 4: Architektur des Prozessorkerns

Adressregisterbank hat besteht aus 8 32-bit Registern, die auch den Stack- und den Framepointer enthalten.

3.2.2 Data Arithmetic Unit

Die Data Arithmetic Unit besteht aus 2 16-bit MACs, 2 40-bit ALUs, 4 8-bit Video ALUs und einem 40-bit Shifter. Alle Einheiten können 8-, 16- oder 32-bit Operanden aus der General-Purpose-Registerbank holen, wobei jedes Register entweder als 32-bit Register oder als *high* und *low* 16-bit Register angesprochen werden kann. Abgesehen vom Shifter sind alle Recheneinheit mehrfach vorhanden um eine hohe Verarbeitungsgeschwindigkeit zu gewährleisten.

3.2.3 Address Arithmetic Unit

Die Funktionalität der AGUs wird hier von 2 *Data Address Generators* (DAGs) übernommen. Sie generieren Adressen, um gleichzeitig 2 Operanden aus dem Speicher holen zu können. Die DAGs teilen sich eine Registerbank, die aus 4 Sätzen Index-, Length-, Base- und Modify-Registern besteht. Auch können

die 8 32-bit Adressregister - P0 bis P5 und Frame- und Stackpointer - genutzt werden, um Variablen oder Daten im Speicher oder auf dem Stack zu indexieren.

Die 4 Sätze von I-, L-, B- und M-Registern dienen dazu Zirkuläre Buffer zu implementieren, es können insgesamt 4 Zirkuläre Buffer im internen oder externen Speicher realisiert werden. Die Blackfin-Architektur unterstützt eine Vielzahl von Adressierungsarten und es können insgesamt 4 GByte Speicher adressiert werden.

3.2.4 Program Sequencer Unit

Die Programmsequenzereinheit kontrolliert die Programmausführung und unterstützt bedingte Sprünge und Aufrufe von Unterprogrammen, sowie die Kontrolle von Schleifen. Die mehrstufige Pipeline, die Interlocking, Forwarding und Static Branch Prediction unterstützt, sorgt dafür, dass der Programmcode korrekt ausgeführt wird und Data Hazards vor dem Programmierer verborgen bleiben. Die Pipeline wird bei Bedarf angehalten und es wird somit dafür gesorgt, dass die Operanden zum Zeitpunkt der Befehlsausführung gültig sind.

3.3 Speicher

Der Speicher des Blackfin ist als max. 4 GByte grosser flacher Adressraum strukturiert. Interner Speicher, externer Speicher und I/O-Kontrollregister bilden einen Adressraum. Auf den Level 1 Speicher wird mit voller Prozessorgeschwindigkeit zugegriffen, auf den Level 2 Speicher nicht.

3.3.1 Interner Speicher

Der interne Speicher ist in 4 Bereiche aufgeteilt:

L1 Programmspeicher - kann als SRAM oder als 4-set-associative Cache konfiguriert werden.

L1 Datenspeicher - besteht aus 2 Bänken, wovon jede als SRAM oder als 2-set-associative Cache konfiguriert werden.

L1 scratchpad RAM - dieser Bereich ist nur als Daten-SRAM zugreifbar und kann nicht als Cache konfiguriert werden und auf ihn kann auch nicht per DMA zugegriffen werden, in ihm werden der Stack und lokale Variablen gespeichert.

L2 Programm- und Datenspeicher - Dieser besteht aus SRAM und ist in um ein vielfaches größer, als die L1-Speicher.

Wenn der L1-Daten- oder Programmspeicher als Cache konfiguriert ist, übernimmt die MMU das Einlagern von Daten und Instruktionen in die Caches. In machen Anwendungsfällen kann es jedoch, z.B. aus Gründen des Determinismus, von Vorteil sein, sich nicht auf die Ersetzungsstrategien der MMU zu verlassen, sondern sich selbst darum zu kümmern Daten und Instruktionen, z.B. per DMA, vom L2- oder vom externen Speicher in den schnelleren L1-Speicher zu transferieren.

3.3.2 Externer Speicher

Auf den externen Speicher wird über das *External Bus Interface Unit* (EBIU) zugegriffen. Diese 16-bit Schnittstelle bietet Zugriff auf eine synchrone DRAM-Bank und auf 4 Bänke asynchronen Speicher, wie z.B. Flash-Speicher, EPROM oder memory-mapped I/O-Geräte.

3.3.3 I/O Speicher

Blackfin-Prozessoren haben keinen extra I/O-Speicherbereich, alle Ressourcen werden in den flachen 32-bit Adressraum gemapped.

3.3.4 MMU

Die *Memory Management Unit* (MMU) bietet Speicherschutz, der es Betriebssystemen erlaubt, mit Hilfe des *Supervisor*- und des *Usermodes*, geschützte Speicherbereiche für einzelne Tasks festzulegen. Jedoch kann die MMU keine Adressumrechnung, so dass kein *Paging* möglich ist. Außerdem kümmert sie sich noch um die Verwaltung des Caches.

3.4 Peripherie

Die Prozessoren der Blackfin-Familie bieten je nach Typ verschiedene Peripheriegeräte on-chip (siehe Abb. 2 und Abb. 5):

- Parallel Periphel Interface (PPI)
- Serial Ports (SPORTs)
- Serial Periphel Interface (SPI)
- General-Purpose Timers

Feature	ADSP-BF535	ADSP-BF531	ADSP-BF532	ADSP-BF533	ADSP-BF561	ADSP-BF536	ADSP-BF537	ADSP-BF534
UARTs, Timers	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
SPORTs, SPI	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Programmable Flags	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
TWI-Compatible	No	No	No	No	No	Yes	Yes	Yes
Watchdog Timer	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
RTC	Yes	Yes	Yes	Yes	No	Yes	Yes	Yes
Core Voltage (V)	1-1.6	0.8-1.2	0.8-1.2	0.8-1.4	0.8-1.2	0.8-1.2	0.8-1.2	0.8-1.2
Core Voltage Regulation	No	Yes	Yes	Yes	Yes	Yes	Yes	Yes

Abbildung 5: Übersicht über einige Merkmale der verschiedenen Blackfin-Prozessoren, Teil 2

- Universal Asynchronous Receiver Transmitter (UART)
- Real Time Clock (RTC)
- Watchdog Timer
- General-Purpose I/O (programmable flags)

3.5 System-Kontroll-Block

Die Geräte des System-Kontroll-Blocks dienen dazu den Prozessor zu steuern. Über ihn lassen sich verschiedenste Optionen, wie z.B. die Prozessorspannung und Energiesparmodi, aber auch Interrupthandling und DMA regeln.

3.6 Leistungsvergleiche

Hier einige Leistungsvergleiche von Prozessoren mit dem BDTImark2000. Der BDTImark2000 wurde von der Berkeley Design Technology Inc. entwickelt. Er testet speziell die Anforderungen, die bei der digitalen Signalverarbeitung anfallen und gilt als einer der wichtigsten Tests für DSPs.

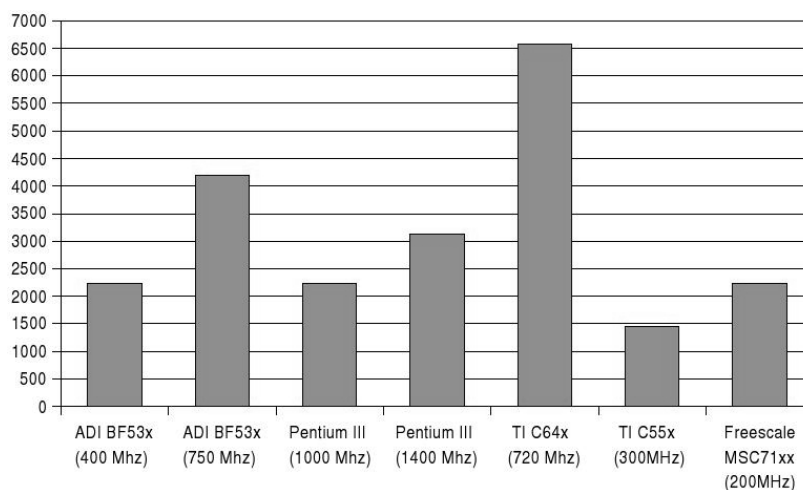


Abbildung 6: BDTImark2000 Ergebnisse

Der C64x von Texas Instruments ist den Blackfins deutlich überlegen. Jedoch kostet der C64x 189 US-Dollar (bei Abnahme in 10,000-Stück-Einheiten). Die Preise für die ADSP-BF5xx Prozessoren liegen hingegen bei etwa 5 US-Dollar (für den ADSP-BF531 mit 400 MHz) bis etwa 40 US-Dollar (für den dual-core ADSP-BF561 mit 750 MHz).

Leistungsvergleiche mit *General-Purpose-Prozessoren* gestalten sich oft als wenig aussagekräftig, da sich die Einsatzgebiete und die daraus resultierenden unterschiedlichen Anforderungen an die Prozessoren stark unterscheiden. So kommt es z.B. bei *Embedded-Prozessoren* oft mehr auf den Stromverbrauch, als auf die Leistungsfähigkeit an. Ein Pentium hat z.B. einen Leistungsverbrauch, der den eines Blackfins um ein Vielfaches übersteigt.

4 Fazit

Die Prozessoren der ADSP-BF5xx-Familie verbinden Eigenschaften von DSPs mit denen klassischer Mikroprozessoren. Sie decken eine grosse Leistungsspanne ab - von 400 Mhz bis hin zu 750 MHz Dual-Core - und bieten eine Vielzahl von On-Chip-Peripheriegeräten. Die Blackfins sind weder die schnellsten Prozessoren auf dem DSP-Markt, noch die billigsten oder die stromsparendsten, jedoch bieten sie eine ausgewogenen Mischung aus diesen 3 Faktoren. Auch stehen für sie umfangreiche Tools zur Softwareentwicklung, wie z.B. C/C++ Compiler, Assembler, Emulatoren und sogar komplette Entwicklungsumgebungen, bereit.

5 Literatur

Steven Smith: The Scientist and Engineer's Guide to Digital Signal Processing
<http://www.dspguide.com/pdfbook.htm>

The Evolution of DSP Processors
http://www.bdti.com/articles/info_articles.htm

Blackfin Processor Core Basics
<http://www.analog.com/processors/processors/blackfin/blackfinCoreBasics.html>

Blackfin Processor Architecture Overview
<http://www.analog.com/processors/processors/blackfin/blackfinArchOverview.html>

ADSP-BF535: Embedded Processor Data Sheet
<http://www.analog.com/processors/processors/blackfin/dataSheets.html>

Manual: Getting Started With Blackfin Processors
<http://www.analog.com/processors/processors/blackfin/>

A BDTI Analysis of the Analog Devices ADSP-BF5xx
<http://www.analog.com/processors/processors/blackfin/>