

Systemprogrammierung

Grundlagen von Betriebssystemen

Teil B – V.3 Rechnerorganisation: Betriebssystemmaschine

Wolfgang Schröder-Preikschat

27. Mai 2021



Gliederung

Einführung
Hybride Maschine
Teilinterpretation

Ausnahmen
Trap
Interrupt

Programmunterbrechung
Ausnahmen
Sicherung/Wiederherstellung

Nichtsequentialität
Wettlaufsituation
Kritischer Abschnitt

Zusammenfassung



Agenda

Einführung
Hybride Maschine
Teilinterpretation

Ausnahmen
Trap
Interrupt

Programmunterbrechung
Ausnahmen
Sicherung/Wiederherstellung

Nichtsequentialität
Wettlaufsituation
Kritischer Abschnitt

Zusammenfassung



Lehrstoff

- den Prozessor der Maschinenprogrammebene als **hybride Maschine** kennenlernen und sein **Operationsprinzip** begreifen
 - Ablauf der Teilinterpretation von Maschinenprogrammen verinnerlichen
 - den Aspekt der Ablaufinvarianz eines Betriebssystems nachvollziehen
- Gemeinsamkeiten und Unterschiede von synchronen und asynchronen **Unterbrechungen** verstehen
 - Konzepte „Trap“ und „Interrupt“ differenzieren, voneinander abgrenzen
 - beide als Ausnahme von der normalen Programmausführung sehen
 - den Prozessorstatus bzw. -zustand eines Programmablaufs identifizieren
 - daraus Implikationen für die Unterbrechungsbehandlung ableiten
- ein Betriebssystem als **nichtsequentielles Programm** erkennen und in die „Untiefe“ solcher Programme einführen
 - durch Wettlaufsituationen verursachte Laufgefahren beispielhaft erläutern
 - eine erste Einführung zum zentralen Begriff „kritischer Abschnitt“ geben

virtuelle Maschine ↔ **Betriebssystem** ↔ hybride Maschine



Elementaroperationen der Maschinenprogrammebene

- Maschinenprogramme umfassen zwei Sorten von Befehlen [2, S. 5]:
 - i Anweisungen an das Betriebssystem, das Ebene₃ implementiert
 - explizit als **Systemaufruf (system call)** kodiert
 - implizit als **Unterbrechung (trap, interrupt)** ausgelöst
 - ii Anweisungen an die CPU, die Ebene_[2,3] implementiert
 - Ebene₂ direkt, nur dort ist die Ausführung aller Befehle der CPU gültig
 - Ebene₃ indirekt, in enger Kooperation mit dem Betriebssystem
- wirklich ausführende Instanz im Rechensystem ist immer die CPU
 - reine Ebene₃-Befehle
 - werden „wahrgenommen“, nicht ausgeführt, signalisieren jew. eine **Ausnahme (exception)**, die ans Betriebssystem „hochgereicht“ wird um dort behandelt zu werden.
- Betriebssysteme fangen Ebene₃-Befehle ab, behandeln Ausnahmen
 - sie bilden jeweils eine (logisch) eigenständige **Maschine**
 - die die von ihr ausführenden Befehle von der CPU zugestellt bekommt

©wosch

SP (SS 2021, B – V.3)

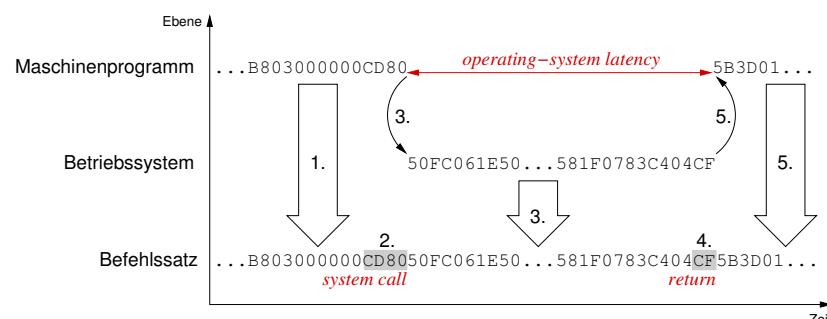
1.1 Einführung – Hybride Maschine

V.3/5

Ausführung von Maschinenprogrammen

Systemaufruf

- logischer Aufbau des Befehlsstroms für die Zentraleinheit, in Analogie zu den umseitig (S. 6) genannten fünf Phasen:



1. Ausführung eines Maschinenprogramms durch die Zentraleinheit (CPU)
2. Wahrnehmung einer synchronen/asynchronen Ausnahme (hier: synchron)
3. Teilinterpretation durch das Betriebssystem, Ausnahmebehandlung
4. Beendigung der Ausnahmebehandlung/Teilinterpretation
5. Wiederaufnahme der Ausführung des Maschinenprogramms

©wosch

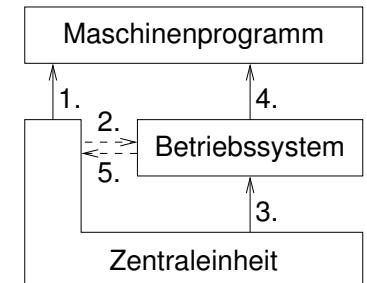
SP (SS 2021, B – V.3)

1.2 Einführung – Teilinterpretation

V.3/7

Partielle Interpretation

- die CPU (Zentraleinheit):
 1. interpretiert das Maschinenprogramm eingeschränkt befehlsweise,
 2. setzt dessen Ausführung aus,
 - Ausnahmesituation
 - **Unterbrechung**
 3. startet das Betriebssystem und
 4. interpretiert die Programme des Betriebssystems befehlsweise.
- Folge von 3., der Ausführung von Betriebssystemprogrammen:
 4. das Betriebssystem interpretiert das in seiner Ausführung unterbrochene Maschinenprogramm befehlsweise und
 5. instruiert die CPU (Zentraleinheit), die Ausführung des/eines zuvor unterbrochenen Maschinenprogramms wieder aufzunehmen.



In Phase 1. ist nur eine Teilmenge von Ebene₂-Befehlen direkt von der CPU ausführbar, in Phase 3. dagegen alle.

©wosch

SP (SS 2021, B – V.3)

1.2 Einführung – Teilinterpretation

V.3/6

Unterbrechung von Betriebssystemabläufen

Die in Phase 3. (S. 6) erfolgende Ausführung von Programmen des Betriebssystems kann ebenfalls ausgesetzt werden. Jede Programmausführung kann eine Unterbrechung erfahren, wenn der ausführende Prozessor dazu befähigt ist.

- **ablaufinvariant (re-entrant)** ausgelegte Betriebssysteme ermöglichen den **Wiedereintritt** während der eigenen Ausführung
 - auch wenn Betriebssysteme normalerweise keine Systemaufrufe absetzen, können sie sehr wohl von Unterbrechungen betroffen sein:
 - i im Kontext der Ausführung eines Systemaufrufs
 - ii hervorgerufen durch Peripheriegeräte (Ein-/Ausgabe, Zeitgeber)
 - iii bedingt durch einen Programm(ier)fehler ~ **Panik**
- die in der Folge notwendige Unterbrechungsbehandlung gestaltet sich wie eine **indirekte Rekursion**
 - das Betriebssystem wird in seiner Definition selbst nochmals aufgerufen
 - nämlich indirekt durch die CPU im Rahmen der partiellen Interpretation
- der Wiedereintritt kann **asynchron** erfolgen, was das Betriebssystem insgesamt als **nichtsequentielles Programm** darstellt



©wosch

SP (SS 2021, B – V.3)

1.2 Einführung – Teilinterpretation

V.3/8

Zwischenzusammenfassung

- Befehle der Maschinenprogrammbene, also Ebene₃-Befehle sind...
 - „normale“ Befehle der Ebene₂, die die CPU direkt ausführen kann
 - **unprivilegierte Befehle**, die in jedem Arbeitsmodus ausführbar sind
 - „unnormale“ Befehle der Ebene₂, die das Betriebssystem ausführt
 - **privilegierte Befehle**, die nur im privilegierten Arbeitsmodus ausführbar sind
- die „aus der Reihe fallenden“ Befehle stellen Adressräume, Prozesse, Speicher, Dateien und Wege zur Ein-/Ausgabe bereit
 - Interpreter dieser Befehle ist das Betriebssystem
 - der dadurch definierte Prozessor ist die **Betriebssystemmaschine**
- demzufolge ist ein Betriebssystem immer nur **ausnahmsweise** aktiv
 - es muss von außerhalb aktiviert werden
 - programmiert im Falle eines Systemaufrufs (**CD80**: Linux/x86) oder einer sonstigen synchronen Programmunterbrechung (*trap*)
 - nicht programmiert, also nicht vorhergesehen, im Falle einer asynchronen Programmunterbrechung (*interrupt*)
 - es deaktiviert sich immer selbst, in beiden Fällen programmiert (**CF**: x86)

©wosch

SP (SS 2021, B – V.3)

1.2 Einführung – Teilinterpretation

V.3/9

Unterbrechungsarten und Ausnahmesituationen

- die Ausnahmesituationen der Ebene₂ fallen in zwei Kategorien:
 - **trap** ■ **Abfangung** für Ausnahmen von interner Ursache
 - **interrupt** ■ **Unterbrechung** durch Ausnahmen von externer Ursache
- **Unterschiede** ergeben sich hinsichtlich...
 - Quelle, Synchronität, Vorhersagbarkeit und Reproduzierbarkeit
- ihre **Behandlung ist zwingend** und grundsätzlich prozessorabhängig
 - aufwerfen (*raising*) einer Ausnahme kommt entweder einem realen (CPU) oder einem abstrakten (Betriebssystem) Prozessor zu
 - die CPU wirft eine Ausnahme der Hardware (IRQ, NMI, Fehler)
 - das Betriebssystem wirft eine Ausnahme der Software (POSIX: SIG*)
 - wogegen die Behandlung (*handling*) einem abstrakten Prozessor obliegt
 - Hardwareausnahmen behandelt das Betriebssystem (auf Ebene₂)
 - Betriebssystemausnahmen behandelt das Maschinenprogramm (auf Ebene₃)

©wosch

SP (SS 2021, B – V.3)

2. Ausnahmen

V.3/11

Gliederung

Einführung
Hybride Maschine
Teilinterpretation

Ausnahmen

Trap
Interrupt

Programmunterbrechung

Ausnahmen
Sicherung/Wiederherstellung

Nichtsequentialität

Wettlaufsituation
Kritischer Abschnitt

Zusammenfassung

©wosch

SP (SS 2021, B – V.3)

2. Ausnahmen

V.3/10

Synchrone Ausnahme

- unbekannter Befehl, falsche Adressierungsart oder Rechenoperation
- Systemaufruf, Adressraumverletzung, unbekanntes Gerät
- Seitenfehler im Falle lokaler Ersetzungsstrategien (vgl. [3, S. 16])

Trap — synchron, vorhersagbar, reproduzierbar

Ein in die Falle gelaufenes („getrapptes“) Programm, das unverändert wiederholt und jedesmal mit den selben Eingabedaten versorgt auf ein und dem selben Prozessor zur Ausführung gebracht wird, wird auch immer wieder an der selben Stelle in die selbe Falle tappen.

- durch das Programm in Ausführung (≡ Prozess) selbst ausgelöst
- als Folge der Interpretation eines Befehls des ausführenden Prozessors
- im **Fehlerfall** ist die Behebung der Ausnahmebedingung zwingend

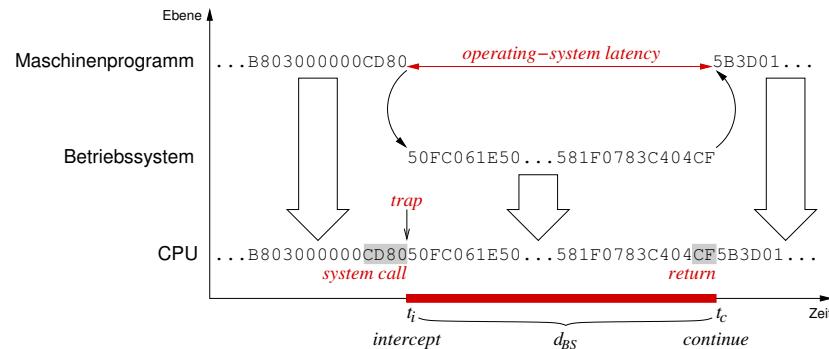
©wosch

SP (SS 2021, B – V.3)

2.1 Ausnahmen – Trap

V.3/12

Synchrone Ausnahme — Trap



Betriebssystemlatenz

Verzögerung zwischen dem Abfang-/Unterbrechungszeitpunkt und dem Zeitpunkt der Wiederaufnahme der Programmausführung.

- d_{BS} ■ muss begrenzt sein für ein echtzeitfähiges Betriebssystem
- **maximale Ausführungszeit** (worst-case execution time, WCET)

Asynchrone Ausnahme

- Signalisierung „externer“ Ereignisse
- Beendigung einer DMA- bzw. E/A-Operation
- Seitenfehler im Falle globaler Ersetzungsstrategien (vgl. [3, S. 16])

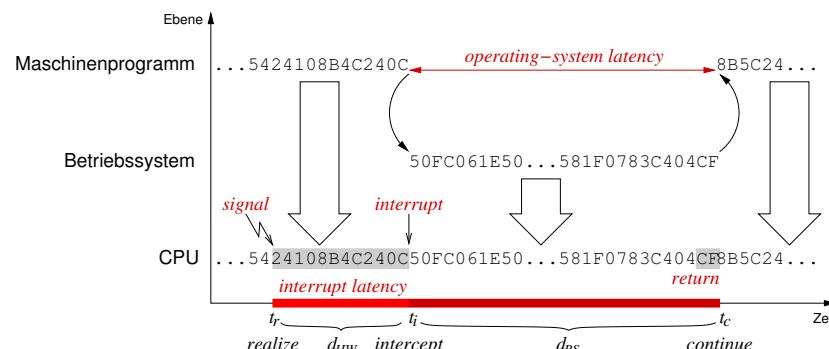
Interrupt — asynchron, unvorhersagbar, nicht reproduzierbar

Ein „externer Prozess“ (z.B. ein Gerät) signalisiert einen Interrupt unabhängig vom Arbeitszustand des gegenwärtig sich in Ausführung befindlichen Programms.

Ob und ggf. an welcher Stelle die Ausführung des betreffenden Programms unterbrochen wird, ist nicht vorhersehbar.

- durch einen anderen, externen (Soft-/Hardware-) Prozess ausgelöst
- unabhängig von der Befehlsinterpretation des ausführenden Prozessors
- **Nebeneffektfreiheit** der Unterbrechungsbehandlung ist zwingend

Asynchrone Ausnahme — Interrupt



Unterbrechungslatenz

Verzögerung zwischen Wahrnehmung (durch die CPU) und Annahme (im Betriebssystem) der Unterbrechung.

- d_{HW} ■ Restausführungszeit des laufenden Befehls der CPU plus
- restliche Dauer einer **Unterbrechungssperre** im Betriebssystem

Gliederung

Einführung
Hybride Maschine
Teilinterpretation

Ausnahmen
Trap
Interrupt

Programmunterbrechung
Ausnahmen
Sicherung/Wiederherstellung

Nichtsequentialität
Wettlaufsituation
Kritischer Abschnitt

Zusammenfassung

Ausnahmen von der normalen Programmausführung

Ausführungsunterbrechungen sind **unnormale Ereignisse**, die den unterbrochenen Programmablauf unerwünscht verzögern und nicht immer durch ihn selbst auch verursacht sind.

- Signale von der Peripherie (z.B. E/A, Zeitgeber oder „Wachhund“)
- Wechsel der Schutzdomäne (z.B. Systemaufruf)
- Programmierfehler (z.B. ungültige Adresse)
- unerfüllbare Speicheranforderung (z.B. bei Rekursion)
- Einlagerung auf Anforderung (z.B. beim Seitenfehler)
- Warnsignale von der Hardware (z.B. Energiemangel)

Im Betriebssystem sind Maßnahmen zur **Ereignisbehandlung** unabdingbar, im Maschinenprogramm dagegen nicht.

- sie sind in beiden Fällen jedoch immer problemspezifisch auszulegen



Prozessorstatus invariant halten

- die CPU führt eine **totale oder partielle Zustandssicherung** durch
 - minimal ■ Statusregister (SR) und Befehlszähler (*program counter*, PC)
 - maximal ■ den kompletten Registersatz
 - Maßnahme, die im **Unterbrechungszzyklus** der CPU stattfindet
 - je nach CPU werden dabei wenige bis sehr viele Daten(bytes) bewegt
- das Betriebssystem führt eine **partielle Zustandssicherung** durch

alle $\left\{ \begin{array}{l} \text{dann noch ungesicherten} \\ \text{flüchtigen}^a \\ \text{im weiteren Verlauf verwendeten} \end{array} \right\}$ CPU-Register

^aRegister, deren Inhalte nach Rückkehr von einem Prozederaufruf verändert worden sein dürfen: festgelegt in der **Aufrufkonvention** des Kompilierers.

- die erste Option betrifft ein Betriebssystem, das mit Sprachkonzepten der Ebene₄ (d.h., in Assembliersprache) programmiert wurde
- demgegenüber betreffen die letzten beiden Optionen ein in Hochsprache (Ebene₅) programmiertes Betriebssystem



Abrupter Wechsel des Laufzeitkontextes

- Unterbrechungen implizieren **nicht-lokale Sprünge**:

vom $\left\{ \begin{array}{l} \text{unterbrochenen} \\ \text{behandelnden} \end{array} \right\}$ Prozess zum $\left\{ \begin{array}{l} \text{behandelnden} \\ \text{unterbrochenen} \end{array} \right\}$ Prozess

- der **Unterbrechungshandler**¹ wird plötzlich aktiviert, sein exakter Aktivierungszeitpunkt ist nicht vorhersehbar
 - der **Prozessorstatus** des unterbrochenen Programms ist daher während der Unterbrechungsbehandlung **invariant** zu halten
 - Sicherung vor Ansprung bzw. Start der Behandlungsroutine
 - Wiederherstellung vor Rücksprung zum unterbrochenen Programm
 - Mechanismen dazu liefert die Befehlssatzebene (CPU) bzw. das jeweils behandelnde Programm (Betriebssystem) selbst
- führt zu **Betriebslast** (*overhead*), deren Höhe die Programmierebene des Betriebssystems und die Befehlssatzebene bestimmt

¹Dem deutschen Patentwesen entnommen, das die englische Bezeichnung „*handler*“ fachbegrifflich als „Handhaber“ übersetzt. Dort wird „*trap*“ sachlich und fachlich korrekt auch als „Falle“ verstanden (vgl. auch S. 13).



Option 1: Alle dann noch ungesicherten...

- **Mantelprozedur** zur Statussicherung auf Ebene₂:

- Behandlungsroutine (*handler*) evtl. in Assembliersprache programmiert

```
1 train:  
2 pushal  
3 call handler  
4 popal  
5 iret
```

```
m68k  
1 train:  
2 moveml d0-d7/a0-a6,a7@-  
3 jsr handler  
4 moveml a7@+,d0-d7/a0-a6  
5 rte
```

- **train** (trap/interrupt):

- alle Arbeitsregisterinhalte im RAM (Stapelspeicher) sichern
- Unterbrechungsbehandlung durchführen
- im RAM gesicherten Arbeitsregisterinhalte wiederherstellen
- unterbrochene Programmausführung wieder aufnehmen

- beteiligte Prozessoren:

- CPU (Ebene₂), Betriebssystem (Ebene₃)



Option 2: Alle flüchtigen...

vgl. [2, S.30]

- **Mantelprozedur** zur Statussicherung in Bezug auf Ebene₅:
 - Behandlungsroutine (`handler`) in Hochsprache programmiert

```
1 train:                                m68k
2   pushl %edx; pushl %ecx; pushl %eax  1  train:
3   call  handler                         2  moveml d0-d1/a0-a1,a7@-
4   popl  %eax; popl  %ecx; popl  %edx  3  jsr handler
5   iret                                4  moveml a7@+,d0-d1/a0-a1
                                         5  rte
```

- **train (trap/interrupt):**
 - Inhalte flüchtiger Arbeitsregister im RAM (Stapelspeicher) sichern
 - Unterbrechungsbehandlung durchführen
 - im RAM gesicherten Arbeitsregisterinhalte wiederherstellen
 - unterbrochene Programmausführung wieder aufnehmen
- beteiligte Prozessoren:
 - CPU (Ebene₂), Betriebssystem (Ebene₃), Kompilierer (Ebene₅)



©wosch

SP (SS 2021, B – V.3)

3.2 Programmunterbrechung – Sicherung/Wiederherstellung

V.3/21

Gliederung

Einführung
Hybride Maschine
Teilinterpretation

Ausnahmen
Trap
Interrupt

Programmunterbrechung
Ausnahmen
Sicherung/Wiederherstellung

Nichtsequentialität
Wettkaufsituation
Kritischer Abschnitt

Zusammenfassung



©wosch

SP (SS 2021, B – V.3)

4. Nichtsequentialität

V.3/23

Option 3: Alle im weiteren Verlauf verwendeten...

- **Mantelprozedur** zur Statussicherung auf Ebene₅:
 - Behandlungsroutine (`handler`) in Hochsprache programmiert

```
1 inline void __attribute__((interrupt)) train () {
2   handler();
3 }
```

- **__attribute__((interrupt)):**
 - Generierung der speziellen Maschinenbefehle durch den **Kompilierer**
 - zur Sicherung/Wiederherstellung der Arbeitsregisterinhalte
 - zur Wiederaufnahme der Programmausführung
 - nicht jeder „Prozessor“ (für C/C++) implementiert dieses Attribut
- beteiligte Prozessoren:
 - CPU (Ebene₂), Kompilierer (Ebene₅)



©wosch

SP (SS 2021, B – V.3)

3.2 Programmunterbrechung – Sicherung/Wiederherstellung

V.3/22

Nichtsequentialles Programm

vgl. [8, S. 9]

- ```
1 int wheel = 0;
```
- welche wheel-Werte gibt `main()` aus?

```
2 main () {
3 for (;;) {
4 printf("%u\n", wheel++);
5 }
```

  - normalerweise fortlaufende Werte im Bereich<sup>2</sup>  $[0, 2^{32} - 1]$ , Schrittweite 1
  - angenommen `niam()` unterbricht `main()`: welche Ausgabewerte nun?

```
6 void __attribute__((interrupt)) niam () {
7 wheel++;
8 }
```

  - mit Schrittweite  $n$ ,  $0 \leq n \leq 2^{32} - 1$ , jenachdem...
    - wie `wheel++` vom Kompilierer für die zugrunde liegende CPU übersetzt und
    - wie oft und wo `main()` dann von `niam()` unterbrochen wurde
  - $n = 1$  impliziert nicht, dass keine Unterbrechung stattgefunden hat

**Unterbrechungen** bewirken, dass nicht zu jedem Zeitpunkt bestimmt ist, wie es weiter geht. (vgl. auch S. 34)

<sup>2</sup>Annahme: `sizeof(unsigned int)` = 4 Bytes je acht Bits, d.h. 32 Bits.



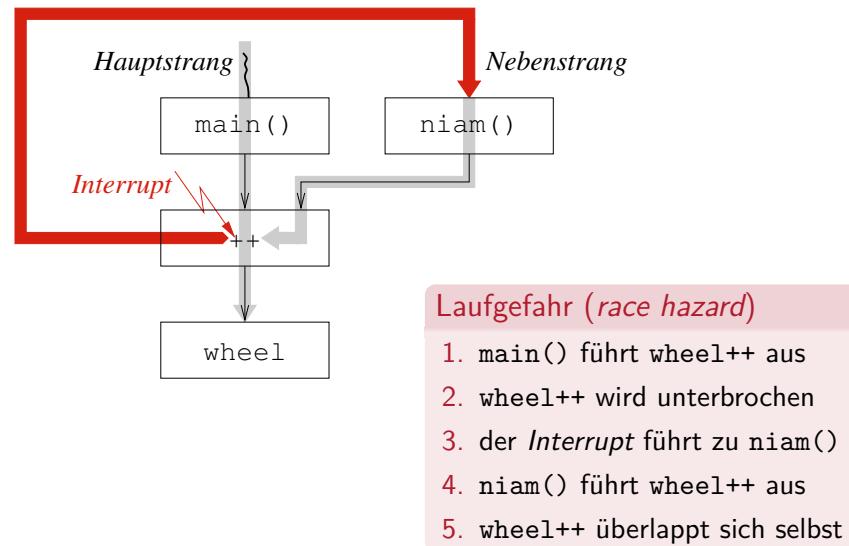
©wosch

SP (SS 2021, B – V.3 )

4.1 Nichtsequentialität – Wettkaufsituation

V.3/24

## Asynchronität von Unterbrechungen



©wosch

SP (SS 2021, B – V.3 )

4.1 Nichtsequentialität – Wettlaufsituation

V.3/25

## Teilbarkeit von Aktionen<sup>3</sup>

(vgl. auch S. 35)

- **wheel++** ist eine **Elementaroperation** (kurz: Elop) der Ebene<sub>5</sub>
  - in Hochsprache formuliert ist diese Aktion scheinbar atomar, unteilbar
- nicht zwingend ist **wheel++** auch eine Elop der Ebene<sub>4</sub> (und tiefer)
  - in Assemblier-/Maschinensprache formuliert ist diese Aktion **teilbar**

|                    | main()                                                  | niam() |
|--------------------|---------------------------------------------------------|--------|
| Ebene <sub>5</sub> | wheel++                                                 |        |
| Ebene <sub>4</sub> | movl wheel,%edx<br>leal 1(%edx),%eax<br>movl %eax,wheel |        |
| # Elop             | 3                                                       | 1      |

- dies trifft insbesondere auch zu auf die dreiphasige Aktion **incl wheel**:
  - den Wert (1) von wheel laden, (2) verändern und (3) an wheel speichern
  - ein **read-modify-write-Zyklus**, teilbar bei Mehr-/Viel(kern)prozessoren
- im **Überlappungsfall** ist die gleichzeitige Ausführung von **wheel++** möglich, was falsche Berechnungsergebnisse liefern kann

<sup>3</sup>Aktion ist die Ausführung einer Anweisung einer (virtuellen/realen) Maschine.

©wosch

SP (SS 2021, B – V.3 )

4.1 Nichtsequentialität – Wettlaufsituation

V.3/26

## Unterbrechungsbedingte Überlappungseffekte

- niam()-Ausführung überlappt main()-Ausführung:

| wheel | Befehls-<br>folge | main()            |      |      | niam()     |
|-------|-------------------|-------------------|------|------|------------|
|       |                   | x86-Befehl        | %edx | %eax |            |
| 42    | 1                 | movl wheel,%edx   | 42   | ?    | incl wheel |
| 43    | 2                 |                   |      |      |            |
| 43    | 3                 | leal 1(%edx),%eax | 42   | 43   |            |
| 43    | 4                 | movl %eax,wheel   | 42   | 43   |            |

- zweimal wheel++ durchlaufen (nämlich je einmal in main() und niam())
- zweimal gezählt, den Wert von wheel aber nur um eins erhöht

- in nichtsequentialen Programmen (wie hier) ist die Implementierung des Inkrementoperators<sup>4</sup> (++) als **kritischer Abschnitt** aufzufassen

*critical in the sense, that the processes have to be constructed in such a way, that at any moment at most one of the two is engaged in its **critical section**. [1, S. 11]*

<sup>4</sup>Gleiches gilt für den Dekrementoperator, egal ob Prä- oder Postfix.

©wosch

SP (SS 2021, B – V.3 )

4.2 Nichtsequentialität – Kritischer Abschnitt

V.3/27

## Semantikkonforme Elementaroperation

- der **Postfix-Inkrementoperator** (wheel++) hat folgende Semantik: **fetch** den Operandenwert (wheel) als Ausdruckswert bereitstellen **add** dann dem Operanden den um eins erhöhten (++) Wert zuweisen
- ein „**fetch and add**“ (FAA), geschieht logisch in einem Schritt
  - um der Laufgefahr vorzubeugen, muss diese Aktion physisch unteilbar sein
- dies leistet xadd (x86):
 

|    |                                                                                                   |
|----|---------------------------------------------------------------------------------------------------|
| 1  | inline int FAA(int *ref, int val) {                                                               |
| 2  | int aux = val;                                                                                    |
| 3  | i tmp ← dst                                                                                       |
| 4  | ii dst ← tmp + src                                                                                |
| 5  | iii src ← tmp                                                                                     |
| 6  | ■ src = 1, dst = wheel                                                                            |
| 7  | ■ aux = val + 1                                                                                   |
| 8  | asm volatile ("xaddl %0, %1" : "=g" (aux), "=m" (*ref) : "0" (aux), "m" (*ref) : "memory", "cc"); |
| 9  | return aux;                                                                                       |
| 10 | }                                                                                                 |
- Befehl durchsetzen: 4–7
  - **inline assembler** (gcc)
- die nunmehr unteilbare Aktion für **printf()** sicherstellen:
 

|    |                                 |
|----|---------------------------------|
| 11 | printf("%u\n", FAA(&wheel, 1)); |
| 12 | ...                             |
| 13 | movl \$1, %eax                  |
| 14 | xaddl %eax, wheel               |
| 15 | ...                             |

©wosch

SP (SS 2021, B – V.3 )

4.2 Nichtsequentialität – Kritischer Abschnitt

V.3/28

## Definition (Grundblock (basic block))

Ein aus einer Anweisungsfolge bestehender Programmabschnitt mit genau einem Eintrittspunkt und einem Austrittspunkt.

Gelingt die Abbildung einer in Hochsprache ausformulierten kritischen Operation auf einen elementaren Maschinenbefehl nicht — weil sie zu komplex ist oder ein äquivalenter Maschinenbefehl nicht existiert, gefunden werden kann oder gesucht werden will —, muss die Operation als kritischer Abschnitt ausformuliert werden.

### ■ Unterbrechungssperre

- 4 ■ IRQ abwehren
- 5–6 ■ unteilbar, atomar
- 7 ■ IRQ zulassen

**IRQ** ■ *interrupt request*

```
1 inline int FAA(int *ref, int val) {
2 int aux;
3
4 enter(INTERRUPT_LOCK);
5 aux = *ref;
6 *ref += val;
7 leave(INTERRUPT_LOCK);
8
9 return aux;
10 }
```

vgl. auch S. 37ff

### ■ Holzhammermethode

- Kollateraleffekte
- Alternative [7, S. 5–15]



©wosch

SP (SS 2021, B – V.3 )

4.2 Nichtsequentialität – Kritischer Abschnitt

V.3/29

## Resümee

... Unterbrechungen sind nicht einfach

- zur Einführung wurden **virtuelle Maschinen** erneut aufgegriffen
  - um zu verdeutlichen, dass ein Betriebssystem eine **hybride Maschine** ist
  - die die **Teilinterpretation** von Maschinenprogrammen bewerkstelligt
    - was den Wiedereintritt ins Betriebssystem einschließt: **Ablaufinvarianz**
- das Mittel zur Teilinterpretation ist die **Ausnahme**
  - trap** ■ die synchron, vorhersagbar und reproduzierbar ist
  - interrupt** ■ sich asynchron, unvorhersagbar und nicht reproduzierbar zeigt
  - wodurch in ihrer Ausführung unterbrochene Programme verzögert werden
- dabei ist der aktuelle **Laufzeitkontext** invariant zu halten
  - was **Sicherung/Wiederherstellung** des Prozessorstatus zur Folge hat
    - geleistet durch die Befehlssatzebene (CPU) und dem Betriebssystem
- überlappende Programmausführung bringt **Nichtsequentialität**
  - die eine **Wettlaufsituation** bei der Programmausführung bewirken kann
  - der diesbezügliche Programmabschnitt ist ein **kritischer Abschnitt**
    - in dem sich zu jedem Zeitpunkt nur ein einziger Prozess befinden darf



©wosch

SP (SS 2021, B – V.3 )

5. Zusammenfassung

V.3/31

# Gliederung

## Einführung

Hybride Maschine  
Teilinterpretation

## Ausnahmen

Trap  
Interrupt

## Programmunterbrechung

Ausnahmen  
Sicherung/Wiederherstellung

## Nichtsequentialität

Wettlaufsituation  
Kritischer Abschnitt

## Zusammenfassung



©wosch

SP (SS 2021, B – V.3 )

5. Zusammenfassung

V.3/30

## Literaturverzeichnis I

- [1] DIJKSTRA, E. W.: Cooperating Sequential Processes / Technische Universiteit Eindhoven. Eindhoven, The Netherlands, 1965 (EWD-123). – Forschungsbericht. – (Reprinted in *Great Papers in Computer Science*, P. Laplante, ed., IEEE Press, New York, NY, 1996)
- [2] KLEINÖDER, J. ; SCHRÖDER-PREIKSCHAT, W. : Maschinenprogramme. In: [4], Kapitel 5.2
- [3] KLEINÖDER, J. ; SCHRÖDER-PREIKSCHAT, W. : Speichervirtualisierung. In: [4], Kapitel 12.3
- [4] KLEINÖDER, J. ; SCHRÖDER-PREIKSCHAT, W. ; LEHRSTUHL INFORMATIK 4 (Hrsg.): Systemprogrammierung. FAU Erlangen-Nürnberg, 2015 (Vorlesungsfolien)
- [5] KOPETZ, H. : *Real-Time Systems: Design Principles for Distributed Embedded Applications*. Kluwer Academic Publishers, 1997. – ISBN 0-7923-9894-7



©wosch

SP (SS 2021, B – V.3 )

5.1 Zusammenfassung – Bibliographie

V.3/32

- [6] SCHRÖDER-PREIKSCHAT, W. ; LEHRSTUHL INFORMATIK 4 (Hrsg.): *Concurrent Systems — Nebenläufige Systeme*. FAU Erlangen-Nürnberg, 2014 (Vorlesungsfolien)
- [7] SCHRÖDER-PREIKSCHAT, W. : Guarded Sections. In: [6], Kapitel 10
- [8] SCHRÖDER-PREIKSCHAT, W. : Processes. In: [6], Kapitel 3

## Unteilbarkeit

### Definition (in Anlehnung an den Duden)

Das Unteilbarsein, um etwas als Einheit oder Ganzheit in Erscheinung treten zu lassen.

- eine Frage der „Distanz“ des Betrachters (Subjekts) auf ein Objekt

- **Aktion** auf höherer, **Aktionsfolge** auf tieferer Abstraktionsebene

| Ebene | Aktion  | Aktionsfolge                                                                                                                     |
|-------|---------|----------------------------------------------------------------------------------------------------------------------------------|
| 5     | i++     |                                                                                                                                  |
| 4-3   | incl i* | movl i,%r<br>addl \$1,%r*<br>movl %r,i                                                                                           |
| 2-1   |         | * <b>read</b> from memory into accumulator<br><b>modify</b> contents of accumulator<br><b>write</b> from accumulator into memory |

- typisch für den Komplexbefehl eines „abstrakten Prozessors“ (C, CISC)

- Unterbrechungen verursachen **Zittern (jitter)** im Ablaufverhalten, machen Programme **nicht-deterministisch**
  - nicht zu jedem Zeitpunkt ist bestimmt, wie weitergefahrene wird
- je nach „Räumlichkeit“ des unterbrochenen ( $P_i$ ) und behandelnden ( $P_h$ ) Programms ergeben sich verschiedene Ausprägungen
  - **getrennt** ■  $P_i$  auf Ebene<sub>3</sub>,  $P_h$  auf Ebene<sub>2</sub>
    - in räumlicher Hinsicht hat  $P_h$  keinen Einfluss auf  $P_i$
  - **gemeinsam** ■  $P_i$  und  $P_h$  zusammen auf Ebene<sub>3</sub> oder Ebene<sub>2</sub>
    - in räumlicher Hinsicht kann  $P_h$  einen Einfluss auf  $P_i$  haben
    - $P_i$  und  $P_h$  bilden ein **nichtsequentielles Programm**
- aber in beiden Fällen wird  $P_i$  um die jeweilige Dauer von  $P_h$  verzögert in zeitlicher Hinsicht beeinflusst die Unterbrechungsart „*interrupt*“ jedes Programms, dessen Ausführung eben dadurch ausgesetzt wird
  - dies ist kritisch für **echtzeitabhängige Programme**<sup>5</sup>

<sup>5</sup>Deren korrektes Verhalten hängt nicht nur von den logischen Ergebnissen von Berechnungen ab, sondern auch von dem **physischen Zeitpunkt** der Erzeugung und Verwendung der Berechnungsergebnisse. [5]

## Unteilbarkeit komplexer Operationen

Ganzheit oder Einheit einer Aktionsfolge, deren Einzelaktionen alle scheinbar gleichzeitig stattfinden (d.h., synchronisiert sind)

- wesentliche nichtfunktionale Eigenschaft für eine **atomare Operation**<sup>6</sup>
    - die logische Zusammengehörigkeit von Aktionen in zeitlicher Hinsicht
    - wodurch die Aktionsfolge als **Elementaroperation** (ELOP) erscheint

Beispiele von (kritischen) Aktionen zum Inkrementieren eines Zählers:
  - Ebene  $5 \rightarrow 3$
  - Ebene  $3 \rightarrow 2$
- | C/C++  | ASM              | ASM              | ISA               |
|--------|------------------|------------------|-------------------|
| 1 i++; | 1 movl i, %eax   | 1 incl i         | 1 read A from <i> |
|        | 2 addl \$1, %eax | 2 modify A by 1  | 2                 |
|        | 3 movl %eax, i   | 3 write A to <i> | 3                 |
- die Inkrementierungsaktionen (i++, incl) sind nur **bedingt unteilbar**
    - unterbrechungsfreier Betrieb (Ebene  $5 \rightarrow 3$ ), Uniprozessor (Ebene  $3 \rightarrow 2$ )
    - Problem: **zeitliche Überlappung** von Aktionsfolgen hier gezeigter Art

<sup>6</sup>von (gr.) **áto** „unteilbar“.

## Ein-/Austrittsprotokolle

Synchronisation von Anweisungsfolgen

```
1 typedef enum safeguard {INTERRUPT_LOCK} safeguard_t;
2
3 extern void panic(char *);
4
5 inline void enter(safeguard_t type, ...) {
6 if (type == INTERRUPT_LOCK)
7 asm volatile ("cli" : : : "cc");
8 /* more safeguard variants... */
9 else
10 panic("bad safeguard");
11 }
12
13 inline void leave(safeguard_t type, ...) {
14 if (type == INTERRUPT_LOCK)
15 asm volatile ("sti" : : : "cc");
16 /* more safeguard variants... */
17 else
18 panic("bad safeguard");
19 }
```



©wosch

SP (SS 2021, B – V.3 )

6.3 Anhang – Kritischer Abschnitt

V.3/37

## Unteilbarer Grundblock Ebene<sub>4</sub>

ASM/x86

```
■ gcc -O -m32 -fomit-frame-pointer -static -S faa.c (vgl. S. 29)
 1 FAA:
 2 movl 4(%esp), %edx
 3 cli
 4 movl (%edx), %eax
 5 movl 8(%esp), %ecx
 6 addl %eax, %ecx
 7 movl %ecx, (%edx)
 8 sti
 9 ret
oben -D"int_t=long int"
3–8 unteilbare Sequenz
rechts -D"int_t=long long int"
8–15 unteilbare Sequenz
cli clear interrupt flag, abschalten
sti set interrupt flag, einschalten
 1 FAA:
 2 subl $8, %esp
 3 movl %ebx, (%esp)
 4 movl 16(%esp), %ecx
 5 movl %esi, 4(%esp)
 6 movl 20(%esp), %ebx
 7 movl 12(%esp), %esi
 8 cli
 9 movl (%esi), %eax
 10 movl 4(%esi), %edx
 11 addl %eax, %ecx
 12 adcl %edx, %ebx
 13 movl %ecx, (%esi)
 14 movl %ebx, 4(%esi)
 15 sti
 16 movl (%esp), %ebx
 17 movl 4(%esp), %esi
 18 addl $8, %esp
 19 ret
```



©wosch

SP (SS 2021, B – V.3 )

6.3 Anhang – Kritischer Abschnitt

V.3/38