

Aufgabe 3 – Erweiterung um Interrupts

Dr.-Ing. Volkmar Sieh

Department Informatik 4
Verteilte Systeme und Betriebssysteme
Friedrich-Alexander-Universität Erlangen-Nürnberg

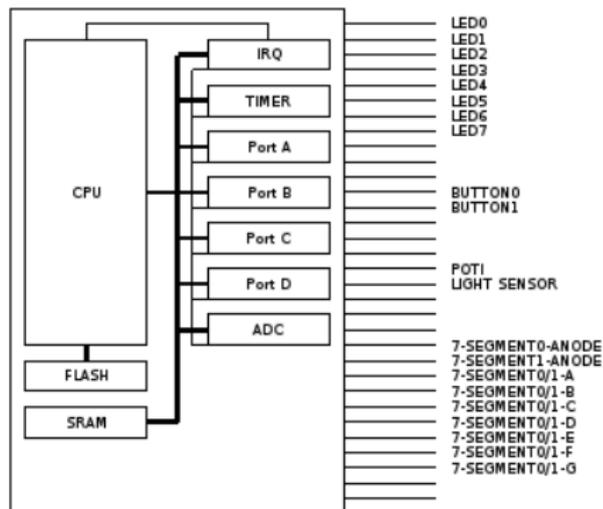
WS 2018/2019



Entwickelt werden soll ein virtuelles (vereinfachtes) SPiC-Board mit ATmega32-Mikrokontroller.



Aufgabe 3:



2. Aufgabe: ...

3. Aufgabe:

CPU: Erweiterung um Interrupts; zusätzliche Befehle

GPIO: Erweiterungen um Interrupt-Eingänge
„INT0“, „INT1“

Timer: zusätzliche 16-Bit-Timer-Komponente
„Timer 1“

4. Aufgabe: ...



CPU: Wenn Komponenten Interrupts signalisieren (INT0, INT1, TIMER1 COMPA), soll, wenn das Interrupt-Enable-Bit auf 1 gesetzt ist, die Interrupt-Behandlung angesprungen werden. Die CPU soll den richtigen Interrupt-Handler auswählen.

Interrupt-Nummern:

- 1: INT0
- 2: INT1
- 7: TIMER1 COMPA

Zusätzlich notwendige Instruktionen:

- cli: Interrupts blockieren.
- sei: Interrupts deblockieren.
- sleep: Auf Interrupt warten.

Hinweis (*wichtig!*): wird das IE-Bit gesetzt, werden die Interrupts erst nach der *nächsten* Instruktion deblockiert!



...

Externe Interrupt-Eingänge INT0, INT1:

In den I/O-Registern GICR und MCUCR kann man einstellen, ob/wann man die Interrupts INT0 bzw. INT1 bekommen möchte. INT0 und INT1 können ausgelöst werden, wenn sich an den Eingängen 2 bzw. 3 des Ports D die Spannung ändert.

...



...

Timer: Zu implementieren ist der 16-Bit-Timer 1. Von diesem wird nur der Modus 4 (Clear Timer on Compare) genutzt. Nur dieser muss implementiert werden! Wenn der Timer aktiviert ist, soll in seiner „step“-Funktion der interne Zähler des Timers hochgezählt werden. Erreicht der Zähler einen vorher eingestellten Wert, so wird der Zähler auf 0 zurückgesetzt und ein Interrupt an die CPU gemeldet. Der Timer wird durch eine Reihe von I/O-Registern konfiguriert: TIMSK, TIFR, TCCR1A, TCCR1B, TCNT1H, TCNT1L, OCR1AH, OCR1AL, OCR1BH, OCR1BL, ICR1H und ICR1L.



Das folgende Testprogramm soll vom emulierten System ohne Fehler ausgeführt werden können:

- boardtest

