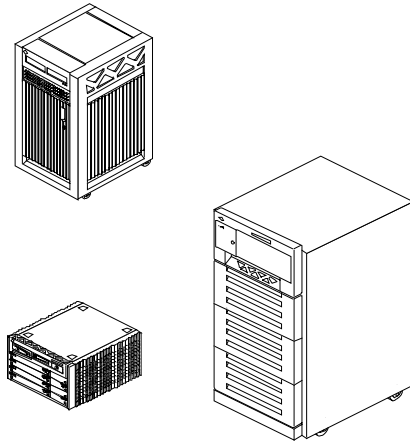


D SUN Enterprise X000

■ Einsatz am RRZE/IMMD

- ◆ cssun: Enterprise 4000
8 CPUs, 8 GByte
- ◆ faui40: Enterprise 4000
4 CPUs, 1 GByte
- ◆ faui09: Enterprise 3000
4 CPUs, 1 GByte
- ◆ faui01: Enterprise 3000
2 CPU, 512 MByte



PPS

Programmierung Paralleler Systeme
© Frank Bellosa, Univ. Erlangen-Nürnberg, IMMD IV, 1999

D-SUN_EX000.fm 1999-03-16 17.24

D.1

Reproduktion jeder Art oder Verwendung dieser Unterlagen, außer zu Lehrzwecken an der Universität Erlangen-Nürnberg, bedarf der Zustimmung des Autors.

1 Gigaplane Bus

- Sehr schneller (mit 83.3/100 MHz getakteter) und breiter (256 Bits) Bus auf der *Centerplane*.
- Kann eine vollständige Cacheline (64 Bytes) in 2 Zyklen transferieren, das ist eine Datentransferrate von 2.672 GB/s.
- Kein Multiplexen von Adressen und Daten, kein Arbitrierungs-overhead, daher extrem niedrige Latenzzeit.
- "Packet-switched" Architektur ermöglicht hohen Durchsatz.
- Die elektrischen Eigenschaften limitieren den Bus auf 16 Anschlüsse. Deshalb wird innerhalb der einzelnen Boards über den standard UPA (*Ultra Port Architecture*) Bus weiterverzweigt.

PPS

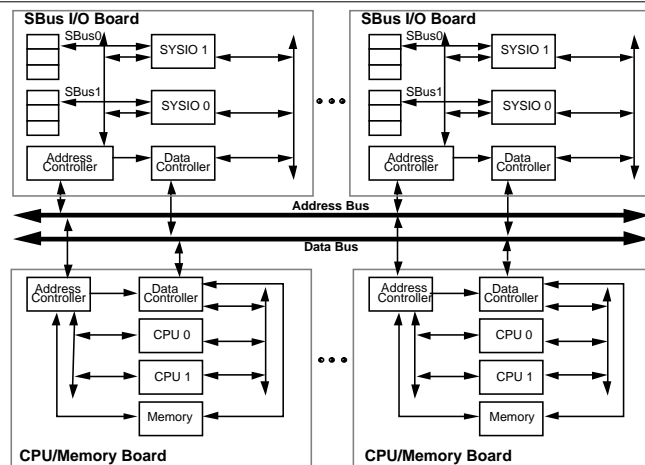
Programmierung Paralleler Systeme
© Frank Bellosa, Univ. Erlangen-Nürnberg, IMMD IV, 1999

D-SUN_EX000.fm 1999-03-16 17.24

D.3

Reproduktion jeder Art oder Verwendung dieser Unterlagen, außer zu Lehrzwecken an der Universität Erlangen-Nürnberg, bedarf der Zustimmung des Autors.

D.1 Systemarchitektur



PPS

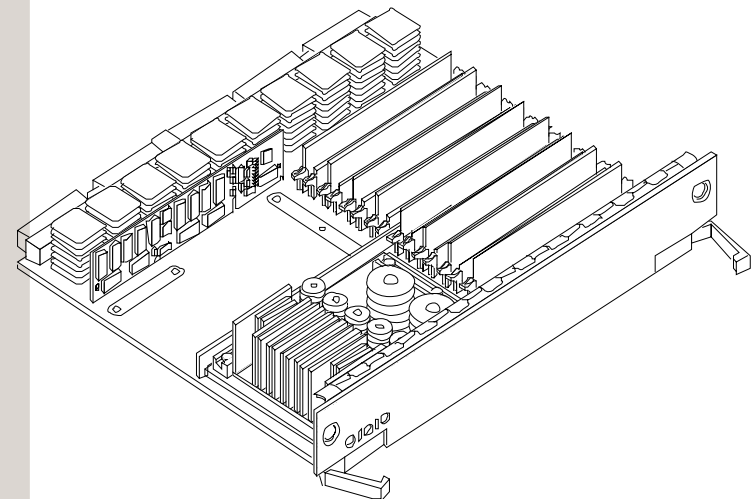
Programmierung Paralleler Systeme
© Frank Bellosa, Univ. Erlangen-Nürnberg, IMMD IV, 1999

D-SUN_EX000.fm 1999-03-16 17.24

D.2

Reproduktion jeder Art oder Verwendung dieser Unterlagen, außer zu Lehrzwecken an der Universität Erlangen-Nürnberg, bedarf der Zustimmung des Autors.

2 CPU/Memory Modul



PPS

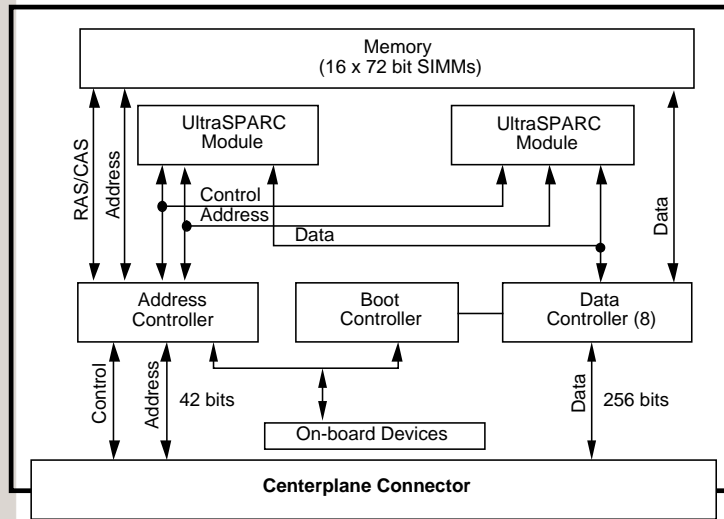
Programmierung Paralleler Systeme
© Frank Bellosa, Univ. Erlangen-Nürnberg, IMMD IV, 1999

D-SUN_EX000.fm 1999-03-16 17.24

D.4

Reproduktion jeder Art oder Verwendung dieser Unterlagen, außer zu Lehrzwecken an der Universität Erlangen-Nürnberg, bedarf der Zustimmung des Autors.

2 CPU/Memory Module (2)



PPS

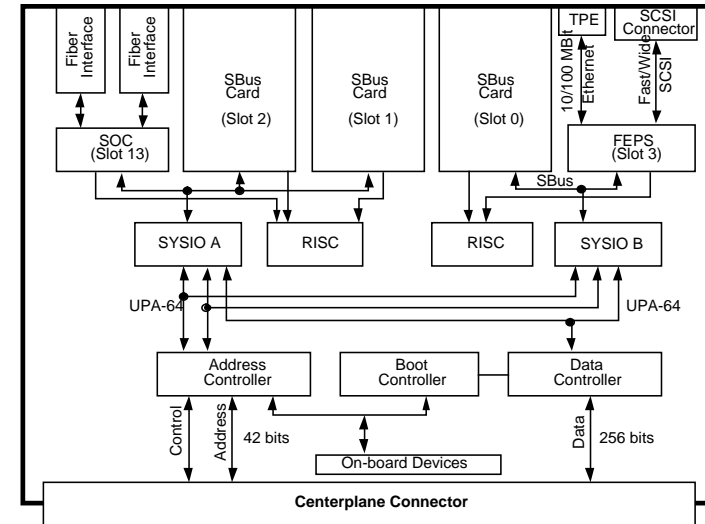
Programmierung Paralleler Systeme
© Frank Bellosa, Univ. Erlangen-Nürnberg, IMMD IV, 1999

D-SUN_EX000.fm 1999-03-16 17.24

D.5

Reproduktion jeder Art oder Verwendung dieser Unterlagen, außer zu Lehrzwecken an der Universität Erlangen-Nürnberg, bedarf der Zustimmung des Autors.

3 I/OBoard (2)



PPS

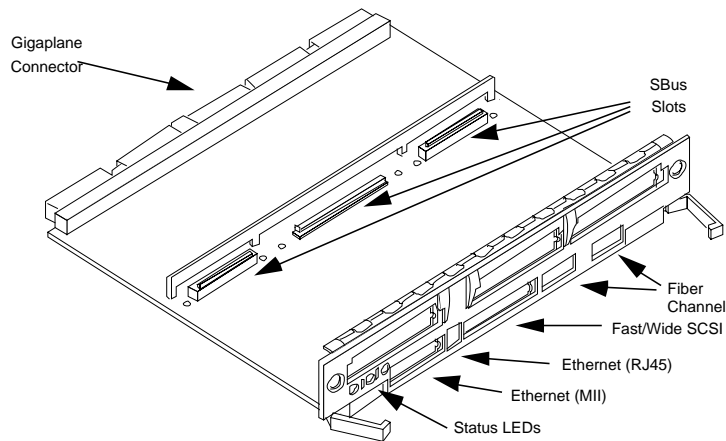
Programmierung Paralleler Systeme
© Frank Bellosa, Univ. Erlangen-Nürnberg, IMMD IV, 1999

D-SUN_EX000.fm 1999-03-16 17.24

D.7

Reproduktion jeder Art oder Verwendung dieser Unterlagen, außer zu Lehrzwecken an der Universität Erlangen-Nürnberg, bedarf der Zustimmung des Autors.

3 I/O Board



PPS

Programmierung Paralleler Systeme
© Frank Bellosa, Univ. Erlangen-Nürnberg, IMMD IV, 1999

D-SUN_EX000.fm 1999-03-16 17.24

D.6

Reproduktion jeder Art oder Verwendung dieser Unterlagen, außer zu Lehrzwecken an der Universität Erlangen-Nürnberg, bedarf der Zustimmung des Autors.